

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-4458

(43) 公開日 平成6年(1994)1月14日

(51) Int.Cl.<sup>5</sup>

G 0 6 F 13/28

識別記号

庁内整理番号

3 1 0 M 9072-5B

F I

技術表示箇所

審査請求 未請求 請求項の数4(全7頁)

(21) 出願番号 特願平4-184539

(22) 出願日 平成4年(1992)6月18日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 都倉 均

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

(72) 発明者 山下 純

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

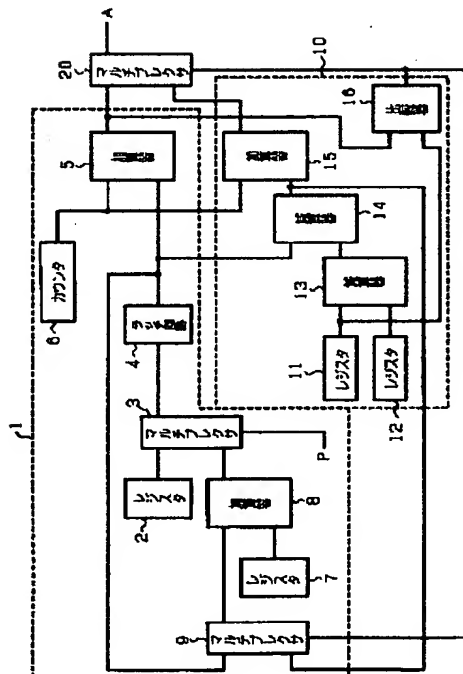
(74) 代理人 弁理士 本庄 富雄 (外1名)

(54) 【発明の名称】 DMA制御装置

(57) 【要約】

【目的】 リングバッファに書き込まれたデータを読み出す場合において、アドレス発生回路からのアドレス値が、リングバッファの最終アドレスを跳び越えて出力された時、常に、読出位置が、読出対象データ先頭アドレスに戻るようにすること。

【構成】 アドレス発生回路1は、リングバッファに対して、アドレス初期値から順次増加し、且つ、一定周期毎に、所定数のアドレスを跳ばしてアドレス値を発生する。一方、補正アドレス発生回路10は、上記アドレス値から、リングバッファの総アドレス数を引き算したアドレス値を発生する。上記アドレス発生回路1からのアドレス値が、上記リングバッファの最終アドレスを跳び越えて出力された時、アドレス発生回路1から補正アドレス発生回路10に切り換えて、アドレス値を出力する。



1

## 【特許請求の範囲】

【請求項1】 リングバッファに対してアドレス値を発生するDMA制御装置であって、該リングバッファが設定されている範囲内のアドレス値を初期値とし、順次リングバッファのアドレス信号を発生するアドレス発生回路と、該アドレス発生回路からのアドレス値が、上記リングバッファの最終アドレスより大となった時、該アドレス値からリングバッファの総アドレス数を引いたアドレス値で、上記アドレス発生回路を初期化する補正アドレス発生回路とを具えることを特徴とするDMA制御装置。

【請求項2】 アドレス発生回路は、一定の周期毎に、所定数のアドレスを飛ばしてアドレス値を出力する回路であることを特徴とする請求項1記載のDMA制御装置。

【請求項3】 アドレス発生回路は、順次アドレス値を増加させ、その値が設定値に達するとクリアされると同時に改行信号を発生するカウンタと、該改行信号が与えられる度毎に、次行の先頭アドレス値を発生し、その先頭アドレス値と上記カウンタの値とを加算する回路とを具えることを特徴とする請求項2記載のDMA制御装置。

【請求項4】 補正アドレス発生回路は、リングバッファの最終アドレスを保持する第1のレジスタと、リングバッファの先頭アドレスを保持する第2のレジスタと、上記第1のレジスタの値と第2のレジスタの値との差を出力する減算器と、アドレス発生回路の出力から上記減算器の出力を減じた値を出力する回路とを具えることを特徴とする請求項1、請求項2又は請求項3記載のDMA制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、メモリと周辺装置との間のデータ転送を、DMA (Direct Memory Access) 方式で行うDMA制御装置に関するものである。

## 【0002】

【従来の技術】メモリと周辺装置との間のデータ転送を、CPUを介さずに、DMA方式で行うことは、例えば、画像処理装置においてよく行われている。

【0003】図4は、画像処理装置の概要を示すブロック図である。図4において、21は画像メモリ、22はシステムバス、23はイメージバス、24はバス接続器、30は画像入力部、31、41はDMAC (DMA制御装置)、40は画像出力部、50はCPUである。画像入力部30から画像データが入力され、DMAC 31によって、画像メモリ21にデータ転送される。画像メモリ21のデータを出力する際には、DMAC 41によって、画像メモリ21から画像出力部40にデータ転送され、画像記録部 (図示せず) に出力される。

【0004】図5は、画像メモリへの画像データの出入

2

力動作の一例を説明するための図である。図5の横方向の長さは、時間を示しており、(イ)は画像入力、(ロ)は画像出力に費やされる時間である。①、②、・・・の数字は、それぞれ、入出力する画像データを区別するために付した番号である。

【0005】画像データの入出力動作は、入力と出力とを同時並行的に行うようにしているが、一般に、同じ画像の場合、画像出力の方が、画像入力より所要時間が短い。そのため、この例においては、画像入力に画像出力が追いついてしまわないように、画像入力が1ページ分終了してから、画像出力を開始し、それと同時に、次のページの画像入力を開始するようにしている。すなわち、まず、画像メモリ21に、1ページ目の画像データ①を入力する。それが終了すると、その画像データ①を画像出力部40に転送しながら、2ページ目の画像データ②の入力を行う。以下、同様に画像データ③、④の入力を行う。

【0006】一方、従来から、DMAデータ転送に用いられるバッファメモリとして、リングバッファが使用されている。図6は、リングバッファの動作を説明するための図である。図6において、A<sub>1</sub>は、リングバッファの先頭アドレスを示し、A<sub>E</sub>は、リングバッファの最終アドレスを示し、A<sub>1</sub>、A<sub>E</sub>及びA<sub>1</sub>は、リングバッファに書き込まれている画像データの各ページの境界のアドレスを示している。また、矢印WRは、リングバッファに現在データを書き込んでいる位置を示しており、矢印RDは、リングバッファから現在読み出している位置を示している。リングバッファのアドレス値は、図6の下方に行くほど大きくなり、上記矢印WR、RDで示される位置は、時間の経過と共に下方に移動していく。

【0007】図6の上方から、順次データを書き込んでいき、(n-1)枚目のデータの次にn枚目のデータを書き込んでいる途中で、リングバッファの最終アドレスA<sub>E</sub>になったとする。そのような場合、アドレスをリングバッファの先頭アドレスA<sub>1</sub>に戻して、そこから続きのデータを書き込んでいく。図6においては、現在n枚目のページの書込が終了して、n+1枚目の書込を矢印WRの位置で行っているところである。

【0008】なお、このように、最終アドレスA<sub>E</sub>になると、また先頭アドレスA<sub>1</sub>に戻って書込を続けるようにすると、以前に先頭アドレスA<sub>1</sub>付近に書き込まれていたデータは、新しいデータを書き込む際に消されることになる。したがって、書き込みが終わったデータは、書込位置が、またそのアドレスに戻ってきて、そこに新しいデータが書き込まれる前に読み出しを行う必要がある。そのため、図6の例では、矢印WRで示すデータ書込位置が移動するのを後から追うような、矢印RDで示す位置でデータの読み出しを行うようにしている。

【0009】このようにすれば、データの書き込み及び読み出しが支障なく行えると共に、使用するメモリ領域

3

は、リング構造を採用しない場合に比して小さい領域で済ませることができる。

【0010】

【発明が解決しようとする課題】

(問題点) しかしながら、前記した従来の技術には、リングバッファに書き込まれたデータを、とびとびに読み出す際に、読み出しアドレスがリングバッファの先頭アドレスに戻った時、データの読み出し位置にずれが生じてしまい、正しいデータを読み出せなくなるという問題点があった。

【0011】 (問題点の説明) 図7は、画像メモリ中の画像データの一部分を読み出す場合を説明するための図である。今、画像メモリには、Aのデータが書き込まれており、その内の、Bの部分のデータを読み出すものとする。Bの部分は、1行当たりLワードあり、Cの部分は、1行中の残りのMワードで、不要なデータである。

【0012】 Bの部分のデータを読み出す場合、Lワード読み出したら、Mワード分読み飛ばして次の行に移り、またLワードを読み出して、Mワード読み飛ばすというように、メモリ中の一部を読み飛ばしてアクセスする必要が出てくる。そのメモリが、リングバッファである場合の動作は、次のようになる。

【0013】 図8は、画像メモリ中の画像データの一部分を読み出す場合のリングバッファの動作を説明するための図である。符号は、図6のものに対応し、 $A_1$  は、読出対象データ先頭アドレスである。 $L_1$ 、 $L_2$ 、 $L_3$  は、図7におけるBの部分の1行分のデータを示し、 $M_2$ 、 $M_4$  は、図7におけるCの部分の1行分のデータを示している。 $M_1$ 、 $M_4$  は、図7におけるCの部分の1行分のデータが、リングバッファの最後部と、先頭部に分割されて連続的に書き込まれたそれぞれのデータを示している。

【0014】 リングバッファには、例えば、データ $L_1$ のLワードと、データ $M_2$ のMワードとを1行分として、各行のデータが順次書き込まれている。それを読み出す際には、データ $L_1$ のLワードを読み出したら、次のデータ $M_2$ のMワードを読み飛ばし、その次のデータ $L_2$ のLワードを読み出すというような動作を、繰り返し行う。

【0015】 問題は、読み飛ばすべきMワードの途中で、リングバッファの最終アドレス $A_2$ となった場合である。例えば、図8のデータ $M_4$ 、 $M_1$ のように、読み出し対象データのLワードが書き込まれた後、読み飛ばすべきデータが $(M-\alpha)$ ワードだけ書き込まれた時点で、最終アドレス $A_2$ になってしまった場合、読み飛ばすべきデータの残り $\alpha$ ワードが、リングバッファの先頭アドレス $A_1$ から順次書き込まれる。そして、その後、読出対象となるデータ $L_1$ がLワード書き込まれる。

【0016】 ここで、リングバッファの先頭アドレスA

4

の方からみて、最初にある読出対象データの先頭アドレス $A_1$ を、読出対象データ先頭アドレスと言うことにする。

【0017】 そのように書き込まれたデータの読出対象データのみを読み出す場合、最終アドレス手前の読み出し対象データ $L_3$ をLワード読み出した後、データ $M_4$ の読み飛ばしを行っている間に最終アドレス $A_2$ を越えてしまう。その場合、次の読み出しは、本来は、リングバッファの先頭部分に戻って、読出対象データ先頭アドレス $A_1$ から始めるべきところ、従来のリングバッファの読み出し方式では、リングバッファの先頭アドレス $A_1$ から始めることになる。その結果、先頭アドレス $A_1$ から $\alpha$ ワードは、本来読み飛ばすべきデータ $M_1$ が書き込まれているが、そのデータ $M_1$ を読み出してしまうことになる。その結果、正しいデータ読み出しができなくなる。本発明は、以上のような問題点を解決することを課題とするものである。

【0018】

【課題を解決するための手段】 前記課題を解決するため、本発明のDMA制御装置では、リングバッファに対してアドレス値を発生するDMA制御装置であって、該リングバッファが設定されている範囲内のアドレス値を初期値とし、順次リングバッファのアドレス信号を発生するアドレス発生回路と、該アドレス発生回路からのアドレス値が、上記リングバッファの最終アドレスより大となった時、該アドレス値からリングバッファの総アドレス数を引いたアドレス値で、上記アドレス発生回路を初期化する補正アドレス発生回路とを設けることとした。また、上記アドレス発生回路は、一定の周期毎に、所定数のアドレスを跳ばしてアドレス値を出力する回路であることとした。さらに、上記アドレス発生回路には、順次アドレス値を増加させ、その値が設定値に達するとクリアされると同時に改行信号を発生するカウンタと、該改行信号が与えられる度毎に、次行の先頭アドレス値を発生し、その先頭アドレス値と上記カウンタの値とを加算する回路とを設けることとした。さらにまた、上記補正アドレス発生回路は、リングバッファの最終アドレスを保持する第1のレジスタと、リングバッファの先頭アドレスを保持する第2のレジスタと、上記第1のレジスタの値と第2のレジスタの値との差を出力する減算器と、アドレス発生回路の出力から上記減算器の出力を減じた値を出力する回路とを設けることとした。

【0019】

【作 用】 アドレス発生回路からのアドレス値が、リングバッファの最終アドレスより大なる値となった時、該アドレス値からリングバッファの総アドレス数を引いたアドレス値で、上記アドレス発生回路を初期化するようにした。その結果、リングバッファに書き込まれたデータを読み出す場合において、アドレス発生回路からのアドレス値が、リングバッファの最終アドレスを跳び越

5

えて出力されるような場合でも、読出位置が、必ず読出対象データ先頭アドレスに戻るので、常に正しいデータ読み出しができる。

【0020】

【実施例】

(第1実施例) 以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明の第1実施例を示すブロック図である。図1において、1はアドレス発生回路、2, 7, 11, 12はレジスタ、3, 9, 20はマルチプレクサ、4はラッチ回路、5, 8, 15は加算器、6はカウンタ、10は補正アドレス出力部、16は比較器である。

【0021】アドレス発生回路1は、データの先頭部分が書き込まれている部分のアドレス値を、初期値として与えられ、それから順次増加させて、リングバッファへのアドレス信号を発生する回路である。補正アドレス発生回路10は、アドレス発生回路からのアドレス値が増加していき、上記リングバッファの最終アドレスを跳び越えて出力された時、常に読出対象データ先頭アドレスにアクセスできるように、補正したアドレス値を出力する回路である。そして、アドレス発生回路1の出力と、補正アドレス発生回路10の出力とは、マルチプレクサ20で選択的に切り換えられて、端子Aから出力される。

【0022】ここで、図7、図8で示したデータをリングバッファから画像記録部に転送する場合を例にして、図1の回路の動作を説明する。まず、アドレス発生回路の内部の動作を説明する。DMA転送を開始する前に、予め、DMA転送開始アドレス値(第1ページ第1行の最初のデータが書き込まれている部分のアドレス値)を、レジスタ2に入力し、また、連続する2行の先頭番地のアドレス差(図8におけるL+Mに相当する)を、レジスタ7に入力し、それらの値を保持させておく。

【0023】マルチプレクサ3は、ページの先頭で端子Pから切換信号を受けて、レジスタ2の出力をラッチ回路4に与える。レジスタ2には、DMA転送開始アドレス値が保持されているので、ラッチ回路4には、DMA転送が開始される行の先頭アドレス値がラッチされる。加算器5は、ラッチ回路4の出力とカウンタ6のカウント値とを加算する。カウンタ6は、1ワードの転送終了毎にカウントアップしていくので、加算器5の出力は、当該行のアドレスを、順次与えることになる。そして、カウンタ6が、Lワードカウントすると、改行信号が出力される。それと同時に、カウンタ6はクリアされ、ラッチ回路4の値も更新される。そうすることにより、その後に続くMワードは、読み飛ばされることになる。

【0024】マルチプレクサ3は、ページの先頭以外では、加算器8側に切り換えられるので、ラッチ回路4の更新後の値は、マルチプレクサ9を介して与えられる一行前のラッチ回路4の値と、レジスタ7の値とが加算器

6

8で加算された値となる。そして、レジスタ7には、連続する2行のアドレス差が保持されているので、加算器8の出力は、次の行の先頭アドレス値となる。したがって、ラッチ回路4には、順次次の行の先頭アドレス値がラッチされていく。

【0025】このように、カウンタ6がLワード分のデータ転送をカウントすると、改行信号が出力される。それと同時に、カウンタ6がクリアされると共に、ラッチ回路4には、マルチプレクサ3から出力されている次の行の先頭アドレス値がラッチされる。そして、加算器5で、ラッチ回路4の出力とカウンタ6のカウント値とが加算され、アドレス信号が生成される。このようにして、アドレス発生回路1からは、各行において、Lワード読み出したら、次のMワードを読み飛ばすように、アドレス信号が出力される。

【0026】次に、補正アドレス発生回路10の動作を説明する。補正アドレス発生回路10のレジスタ11, 12には、それぞれ、メモリ内でリングバッファとして使用する領域の最終アドレス(図8における最終アドレスA<sub>1</sub>)の値と先頭アドレス(図8における先頭アドレスA<sub>2</sub>)の値とが設定されている。減算器13で、レジスタ11, 12に設定されている、リングバッファの最終アドレスの値と先頭アドレスの値との差を算出する。その値は、リングバッファとして使用されている領域の総アドレス数にほかならない。

【0027】減算器14では、ラッチ回路4の出力、即ち、現在転送されている行の先頭アドレスから上記減算器13の出力を減算する。さらに、加算器15で、カウンタ6のカウント値を、それに加算している。その加算器15の出力は、転送アドレスがリングバッファの最終アドレスを越えて、リングバッファの先頭部分に戻った時、読出対象データ先頭アドレスA<sub>2</sub>(図8参照)の値となる。なお、この点については、後で、さらに説明する。

【0028】一方、比較器16で、加算器5から出力されているアドレス値を、レジスタ11に設定されているリングバッファの最終アドレスと比較している。そして、該アドレス値がリングバッファの最終アドレスを越えた時、マルチプレクサ9, 20に対して切換信号を出力する。マルチプレクサ20は、切換信号を受けて、加算器5からの出力に代えて、加算器15からの出力を端子Aに出力する。

【0029】また、マルチプレクサ9は、切換信号を受けて、ラッチ回路4からの出力に代えて、減算器14からの出力を加算器8に与える。加算器8は、減算器14の値と、レジスタ7の値、すなわち、連続する2行の先頭番地のアドレス差とを加算して、マルチプレクサ3を介してラッチ回路4に出力する。

【0030】上記実施例における各部の出力値の関係を、さらに説明する。図3は、本発明のDMA制御装置

7

の動作を説明するための図である。符号は、図8のものに対応し、 $A_L$  は、リングバッファの最終アドレス $A_E$ の直前に書き込まれている行の先頭アドレスで、現在、このアドレス $A_L$ を読み出しているものとする。 $A_{L-1}$ は、現在読出中のアドレス $A_L$ の値から、リングバッファとして使用されている領域の総アドレス数を引いた値に相当するアドレスで、リングバッファの領域外にある。図3では、リングバッファの領域外の部分を、点線で仮想的に示している。

【0031】ここで、リングバッファの先頭アドレス $A_S$ と、上記アドレス $A_{L-1}$ との差を求めると、その差は、リングバッファの最終アドレス $A_E$ とアドレス $A_L$ との差 $A_E - A_L$ と一致する。そのことを、式を使って次に示す。リングバッファとして使用されている領域の総アドレス数を $T$ とすると、

$$A_E - A_{L-1} = A_E - (A_L - T)$$

$$= A_E - \{A_L - (A_E - A_S)\}$$

$$= A_E - A_L$$

そして、 $A_E$ と $A_L$ との間のアドレス数は、 $L + M - \alpha$ であるので、 $A_E$ と $A_{L-1}$ との間のアドレス数も $L + M - \alpha$ である。

【0032】現在、アドレス $A_L$ を読み出しているところなので、ラッチ回路4からは、その時点で転送されている行の先頭アドレス値であるアドレス $A_L$ の値が出力されている。その時、減算器14からは、アドレス $A_L$ の値から、リングバッファとして使用されている領域の総アドレス数を引いた値、すなわち、リングバッファの領域外のアドレス $A_{L-1}$ の値が出力されている。

【0033】その後、カウンタ6が、 $L$ ワード分カウントすると、改行信号が出力される。それと同時に、ラッチ回路4は、マルチプレクサ3から出力されている次の行の先頭アドレス値をラッチするが、その値は、アドレス $A_L$ のアドレス値に行間のアドレス差 $L + M$ を加算した値である。しかし、アドレス $A_L$ からリングバッファの最終アドレス $A_E$ までの間には、 $L + M - \alpha$ のアドレスしか残っていないので、ラッチ回路4の値は、リングバッファの最終アドレス $A_E$ を越える。

【0034】その結果、カウンタ6の値の如何に関わらず、加算器5の出力値は、リングバッファの最終アドレス $A_E$ を越えるので、比較器16が、マルチプレクサ20に切換信号を出力し、加算器15の出力の方が端子Aから出力される。その値は、アドレス $A_{L-1}$ のアドレス値に1行分のアドレス $L + M$ が加えられた値となるが、先に説明したように、アドレス $A_{L-1}$ と $A_S$ との間のアドレス数は、 $L + M - \alpha$ であるので、その値は、丁度、リングバッファの先頭アドレス $A_S + \alpha$ となり、読出対象データ先頭アドレス $A_T$ となる。

【0035】一方、比較器16の切換信号は、マルチプレクサ9にも与えられ、それにより、ラッチ回路4の出力の代わりに、減算器14の出力 $A_{L-1}$ が、加算器8に

8

与えられる。加算器8では、減算器14の出力 $A_{L-1}$ と、レジスタ7の値、すなわち、連続する2行の先頭番地のアドレス差 $L + M$ とが加算されるが、その値は、読出対象データ先頭アドレス $A_T$ となる。そして、その読出対象データ先頭アドレス $A_T$ が、マルチプレクサ3を介してラッチ回路4に与えられ、ラッチされる。

【0036】それ以後は、その値を初期値として、アドレス発生器1からのアドレス値を増加していく。このように、転送アドレスが、リングバッファの最終アドレスを越えて、再び、リングバッファの先頭部分に戻る際に、アドレス発生器1の初期値が設定し直され、アドレス発生回路が初期化される。

【0037】(第2実施例) 図2は、本発明の第2実施例を示すブロック図である。符号は、図1のものに対応している。アドレス発生回路1については、基本的に、図1のものと変わりはないので、詳細は省略して示している。

【0038】減算器13の出力は、図1のものにおける減算器13の出力と同じく、リングバッファの総アドレス数を表している。ただ、図1の第1実施例では、減算器14で、各行の先頭アドレスから、減算器13の出力値(総アドレス数)を減算しているのに対して、第2実施例では、現在発生中のアドレス値から、減算器13の出力値を減算している。しかし、各行の先頭アドレスに対して、カウンタ6の値を加える順と、減算器13の出力(総アドレス数)を引く順を入れ換えているだけで結果的には、マルチプレクサ20に入力される値に差異はなく、第1実施例と同様な効果が得られる。なお、この第2実施例によれば、第1実施例の場合より、加算器を1個節約できる。

【0039】

【発明の効果】以上述べた如く、本発明のDMA制御装置によれば、次のような効果を奏する。アドレス発生回路からのアドレス値が、リングバッファの最終アドレスより大なる値になった時、該アドレス値からリングバッファの総アドレス数を引いたアドレス値で、上記アドレス発生回路を初期化するようにした。その結果、リングバッファに書き込まれたデータを読み出す場合において、アドレス発生回路からのアドレス値が、リングバッファの最終アドレスを跳び越えて出力されたような場合でも、読出位置が、必ず読出対象データ先頭アドレスに戻るため、常に正しいデータ読み出しができるようになった。

【図面の簡単な説明】

【図1】 本発明の第1実施例を示すブロック図

【図2】 本発明の第2実施例を示すブロック図

【図3】 本発明のDMA制御装置の動作を説明するための図

【図4】 画像処理装置の概要を示すブロック図

【図5】 画像メモリへの画像データの入出力動作の一

9

10

例を説明するための図

【図6】 リングバッファの動作を説明するための図

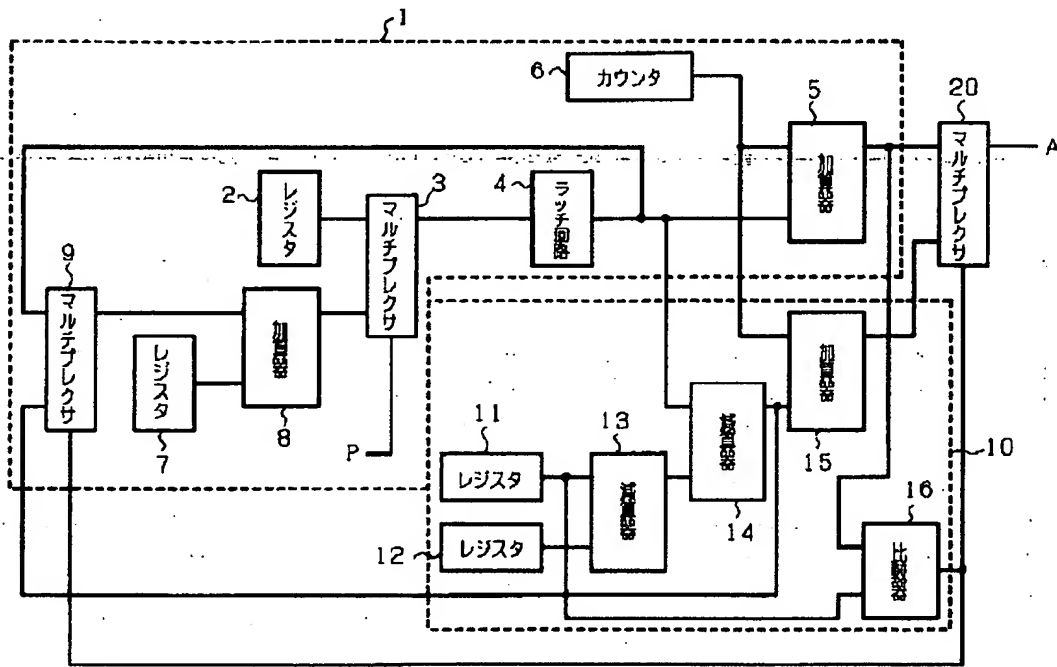
【図7】 画像メモリ中の画像データの一部分を読み出す場合を説明するための図

【図8】 画像メモリ中の画像データの一部分を読み出す場合のリングバッファの動作を説明するための図

【符号の説明】

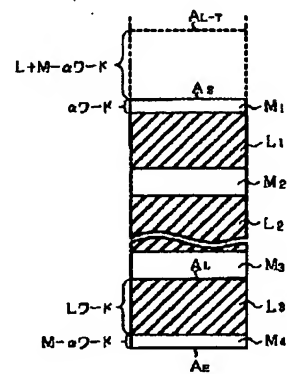
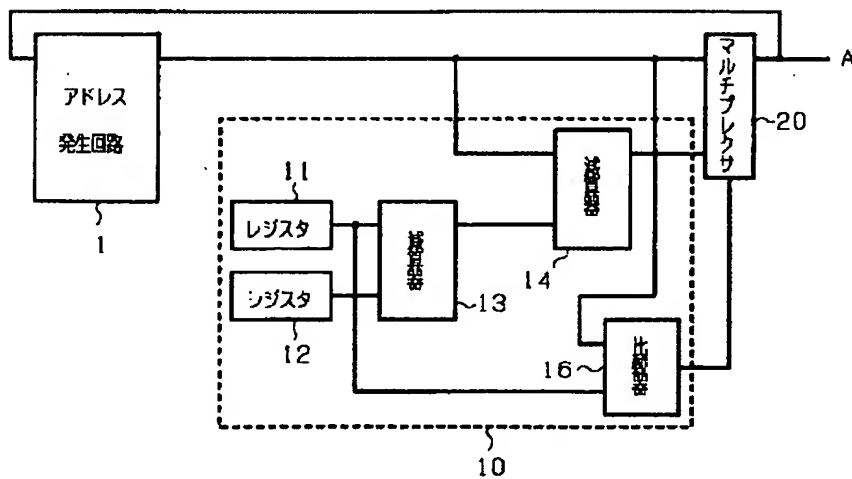
1…アドレス発生回路、2, 7, 11, 12…レジスタ、3, 9, 20…マルチプレクサ、4…ラッチ回路、5, 8, 15…加算器、6…カウンタ、10…補正アドレス発生回路、13, 14…減算器、16…比較器、50…CPU、21…画像メモリ、22…システムバス、23…イメージバス、24…バス接続器、30…画像入力部、31, 41…DMAC、40…画像出力部

【図1】

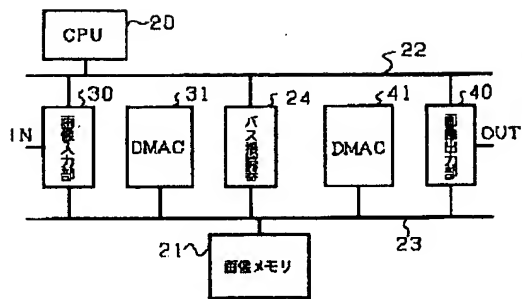


【図2】

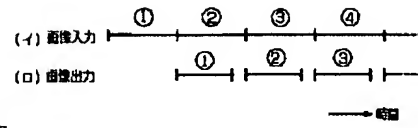
【図3】



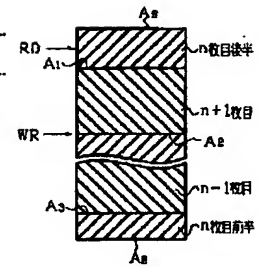
【図4】



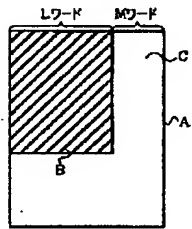
【図5】



【図6】



【図7】



【図8】

